

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-153284

(43)Date of publication of application : 16.06.1995

(51)Int.Cl.

G11C 16/06

(21)Application number : 05-297170

(71)Applicant : NEC CORP

(22)Date of filing : 29.11.1993

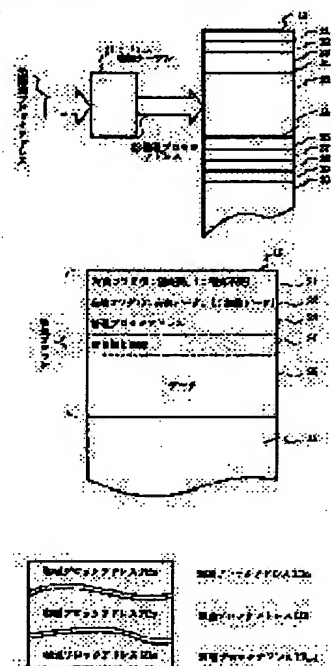
(72)Inventor : YAMADA HACHIRO

(54) NON-VOLATILE SEMICONDUCTOR MEMORY AND ITS CONTROL METHOD

(57)Abstract:

PURPOSE: To perform rewriting operation at high speed by providing a table which converts a logic block address to a physical block address at the time of reading and writing operation of a block.

CONSTITUTION: A table 31 stored at a position indicated with a logical block address LBi of an address conversion table 31 is read out, and a physical block address PBi corresponding to the LBi is obtained. Next, an erasing flag in the PBi is written and set to zero requiring for erasing. Next, a erasing flag and a valid flag of the physical block in a nonvolatile semiconductor memory are successively read out, and a physical block PBk in which the both are '1' is obtained. Next, new data of the LBi is written in a data section in the PBk, a valid flag is set to zero indicating validity, and the LBi is written in a logical block address section 32. Further, the content PBi stored at a position indicated with the LBi of the table 31 is rewritten to the PBk. Thereby, when the LBi is accessed thereafter, the PBk is read out from the table 31.



LEGAL STATUS

[Date of request for examination] 29.03.1994

[Date of sending the examiner's decision of rejection] 10.06.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)



(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平7-153284

(43)公開日 平成7年(1995)6月16日

(51)Int.Cl.⁶

識別記号

F I

G11C 16/06

G11C 17/00

510

Z

309

F

審査請求 有 請求項の数3 O L (全7頁)

(21)出願番号

特願平5-297170

(22)出願日

平成5年(1993)11月29日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 山田 八郎

東京都港区芝五丁目7番1号 日本電気株式会社内

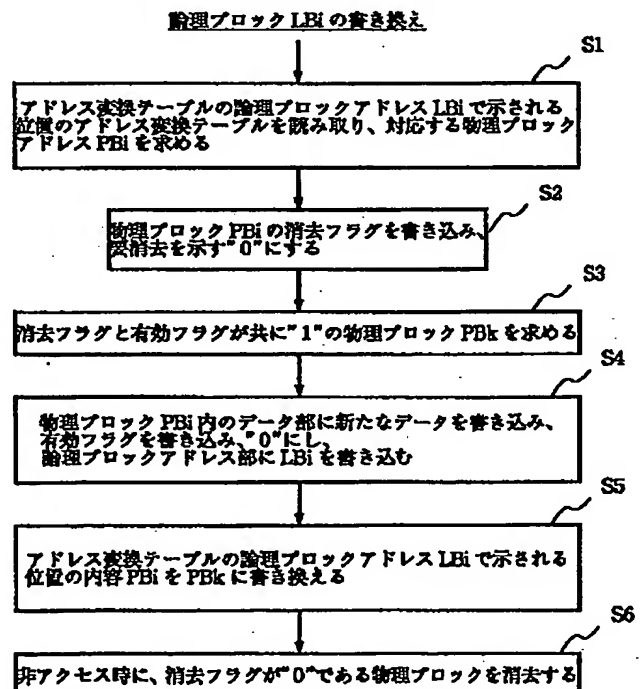
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】不揮発性半導体記憶装置及びその制御方法

(57)【要約】

【目的】記憶情報を電氣的に書き換え可能な不揮発性半導体記憶装置の書き換え速度を高速にし、書き換え回数を低減させる。

【構成】消去フラグと有効フラグと論理ブロックアドレスをブロック毎に記憶し、論理ブロックのデータを書き換える場合、直ちに対応する物理ブロックを消去するのではなく、消去フラグを要消去に書き込み、消去フラグと有効フラグが各々消去不要と無効を示す未書き込みブロックを求め、そのブロックにデータを書き込み、有効フラグを有効に書き込み、アクセスしていない期間にブロックを消去するため、実行的に低速な消去動作を隠蔽できる。また、特定の物理ブロックに書き換え回数が低減する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 複数の予め定めた記憶容量のセクタから成り少なくとも前記ブロックの物理ブロック毎に消去フラグを格納する消去フラグ領域と有効フラグを格納する有効フラグ領域と論理ブロックアドレスを格納する論理ブロックアドレス領域と前記物理ブロックの書換え回数を格納する書換え回数領域とデータを格納するデータ領域とを有する複数のブロックより構成され、前記消去フラグおよび前記有効フラグおよび前記論理ブロックアドレスおよび前記書換え回数の格納内容のそれぞれの消去を前記ブロックの単位で行い各々の前記ブロックの読出し書込み動作を前記セクタの単位で行う不揮発性半導体記憶装置において、前記ブロックの読出し書込み動作時に前記論理ブロックアドレスから物理ブロックアドレスに変換する変換テーブルを備えることを特徴とする不揮発性半導体記憶装置。

【請求項 2】 複数の予め定めた記憶容量のセクタから成り少なくとも前記ブロックの物理ブロック毎に消去フラグを格納する消去フラグ領域と有効フラグを格納する有効フラグ領域と論理ブロックアドレスを格納する論理ブロックアドレス領域と前記物理ブロックの書換え回数を格納する書換え回数領域とデータを格納するデータ領域とを有する複数のブロックより構成され、前記消去フラグおよび前記有効フラグおよび前記論理ブロックアドレスおよび前記書換え回数の格納内容のそれぞれの消去を前記ブロックの単位で行い各々の前記ブロックの読出し書込み動作を前記セクタの単位で行う不揮発性半導体記憶装置の制御方法において、前記ブロックの読出し書込み動作時に前記論理ブロックアドレスから物理ブロックアドレスに変換する変換テーブルを備え、前記論理ブロックアドレスで指定されるデータをデータを書換える際に、前記アドレス変換テーブルから前記論理ブロックアドレスに対応する第 1 の物理ブロックアドレスを求め、この第 1 の物理ブロックアドレスで指定される第 1 のブロックの消去フラグ領域を要消去に書込み、消去フラグが消去不要を示し有効フラグが無効を示す消去済みの第 2 の物理ブロックアドレスを求め、この第 2 の物理ブロックアドレスで指定される第 2 のブロックのデータ領域に前記データを書込み前記第 2 のブロックの論理ブロックアドレス領域に前記論理ブロックアドレスを書込み前記第 2 のブロックの有効フラグ領域に有効を示す有効フラグを書込み、前記アドレス変換テーブルの前記論理ブロックアドレスで指定されたアドレスに前記第 2 の物理ブロックアドレスを書込み、前記第 1 のブロックの消去フラグの消去不要と前記第 1 のブロックの有効フラグの無効を消去後の記憶状態に対応させ前記不揮発性半導体記憶装置のアクセスされていない期間に消去フラグが要消去でかつ有効フラグが無効を示すブロックを消去することを特徴とする不揮発性半導体記憶装置の制御方法。

【請求項 3】 前記不揮発性半導体記憶装置のアクセスされていない期間に書換え回数の少ないブロックを消去することを特徴とする請求項 2 記載の不揮発性半導体記憶装置の制御方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は不揮発性半導体記憶装置の制御方法に関し、特に電氣的に書換および消去可能な読出専用メモリ（EEPROM）などの不揮発性半導体記憶装置の制御方法に関する。

【0002】

【従来の技術】 従来、この種の不揮発性半導体記憶装置は、書換可能回数が 1 万回程度と少ないため、これを改善するための不揮発性半導体記憶装置の制御方法が、既に特開昭 63-181190 号公報等の多数の文献に公表されている。

【0003】 例えば、上記特開昭 63-181190 号公報（文献 1）記載の制御方法は、不揮発性半導体記憶装置のメモリエリアを複数のブロックに分割し、書換毎に順次書込み対象のブロックを変更することにより、ブロック毎の書換回数を低減するというものである。

【0004】 また、特開平 4-57298 号公報（文献 2）記載の制御方法は、文献 1 と同様にメモリエリアを複数のブロックに分割し、ブロック毎に書換が不可能である書換不可ブロックである場合にセットされる書換不可フラグを設け、書換対象のブロックが書換不可ブロックである場合に上記不可フラグをセットし他のブロックにデータを書込むようにするものである。

【0005】 さらに、特開平 1-286199 号公報（文献 3）記載の制御方法は、文献 1 と同様にメモリエリアを複数のブロックに分割した EEPROM とともにランダムアクセスメモリ（RAM）を用いて、書込不良ブロックを他の未使用ブロックと置換えることにより書換回数を増加させるというものである。

【0006】 しかし、このように、書込データを一時的に RAM に格納する方法は、上記書込データが RAM にのみ格納されている期間に電源が切れたような場合には上記書込データが破壊されてしまう。

【0007】 また、文献 1～3 のいずれの場合にも、書込ブロックを変更する場合、不揮発性半導体記憶装置（メモリ）を使用するソフトウェアが管理するブロック番号と、上記メモリの物理的なブロック番号との対応、すなわち論理ブロック番号と物理ブロック番号との対応付け用の変換テーブルについて、不揮発化の方法やその書込回数の低減方法に関する何等の対策も説明がなく、これらの具体的な方法は実現されていないので、ブロックの変更毎に上記変換テーブルの書換が必要となり、上記メモリからなる上記変換テーブルの書換回数は低減されず、高信頼化の阻害要因となる。

【0008】 さらに、書込ブロックを変更する場合の書

換動作に本来低速な消去動作が伴うため、この種の制御方法は本質的に低速である。

【 0 0 0 9 】

【発明が解決しようとする課題】 上述した従来の不揮発性半導体記憶装置の制御方法は、書込データを一時的に RAM に格納する方法は記憶情報の不揮発性が必ずしも確保できないという欠点があった。

【 0 0 1 0 】 また、書込ブロックを変更する場合の論理ブロック番号と物理ブロック番号との対応付け用の変換テーブルの書換が必要であるため書込回数を削減できないという欠点があった。

【 0 0 1 1 】 さらに、書込ブロックを変更する場合の書換動作に本来低速な消去動作が伴うため、この書換動作が本質的に低速となるという欠点があった。

【 0 0 1 2 】

【課題を解決するための手段】 本発明の不揮発性半導体記憶装置は、複数の予め定めた記憶容量のセクタから成り少なくとも前記ブロックの物理ブロック毎に消去フラグを格納する消去フラグ領域と有効フラグを格納する有効フラグ領域と論理ブロックアドレスを格納する論理ブロックアドレス領域と前記物理ブロックの書換え回数を格納する書換え回数領域とデータを格納するデータ領域とを有する複数のブロックより構成され、前記消去フラグおよび前記有効フラグおよび前記論理ブロックアドレスおよび前記書換え回数の格納内容のそれぞれの消去を前記ブロックの単位で行い各々の前記ブロックの読出し書込み動作を前記セクタの単位で行う不揮発性半導体記憶装置において、前記ブロックの読出し書込み動作時に前記論理ブロックアドレスから物理ブロックアドレスに変換する変換テーブルを備える構成である。

【 0 0 1 3 】 また、本発明の不揮発性半導体記憶装置の制御方法は、複数の予め定めた記憶容量のセクタから成り少なくとも前記ブロックの物理ブロック毎に消去フラグを格納する消去フラグ領域と有効フラグを格納する有効フラグ領域と論理ブロックアドレスを格納する論理ブロックアドレス領域と前記物理ブロックの書換え回数を格納する書換え回数領域とデータを格納するデータ領域とを有する複数のブロックより構成され、前記消去フラグおよび前記有効フラグおよび前記論理ブロックアドレスおよび前記書換え回数の格納内容のそれぞれの消去を前記ブロックの単位で行い各々の前記ブロックの読出し書込み動作を前記セクタの単位で行う不揮発性半導体記憶装置の制御方法において、前記ブロックの読出し書込み動作時に前記論理ブロックアドレスから物理ブロックアドレスに変換する変換テーブルを備え、前記論理ブロックアドレスで指定されるデータをデータを書換える際に、前記アドレス変換テーブルから前記論理ブロックアドレスに対応する第 1 の物理ブロックアドレスを求め、この第 1 の物理ブロックアドレスで指定される第 1 のブロックの消去フラグ領域を要消去に書込み、消去フラグ

が消去不要を示し有効フラグが無効を示す消去済みの第 2 の物理ブロックアドレスを求め、この第 2 の物理ブロックアドレスで指定される第 2 のブロックのデータ領域に前記データを書込み前記第 2 のブロックの論理ブロックアドレス領域に前記論理ブロックアドレスを書込み前記第 2 のブロックの有効フラグ領域に有効を示す有効フラグを書込み、前記アドレス変換テーブルの前記論理ブロックアドレスで指定されたアドレスに前記第 2 の物理ブロックアドレスを書込み、前記第 1 のブロックの消去フラグの消去不要と前記第 1 のブロックの有効フラグの有効を消去後の記憶状態に対応させ前記不揮発性半導体記憶装置のアクセスされていない期間に消去フラグが要消去でかつ有効フラグが無効を示すブロックを消去することを特徴とするものである。

【 0 0 1 4 】 またさらに、本発明の不揮発性半導体記憶装置の制御方法は、前記不揮発性半導体記憶装置のアクセスされていない期間に書換え回数の少ないブロックを消去することを特徴としている。

【 0 0 1 5 】

【実施例】 次に、本発明の実施例について図面を参照して説明する。

【 0 0 1 6 】 図 2 は本発明の一実施例の不揮発性半導体記憶装置の各々のブロックを示す構成図である。

【 0 0 1 7 】 説明の便宜上、本実施例の不揮発性半導体記憶装置は 4 M ビット、すなわち、5 1 2 K バイトの記憶容量のクラッシュメモリチップを想定する。このメモリチップはブロックサイズが 1 6 K バイトのブロック 3 2 個から成り、各ブロックはセクタサイズ 5 1 2 バイトのセクタ 3 1 個から成る。

【 0 0 1 8 】 図 2 を参照すると、本実施例の不揮発性記憶装置の物理ブロック 1 0 は消去フラグ領域 2 1、有効フラグ領域 2 2、論理ブロックアドレス領域 2 3、書換え回数領域 2 4 およびデータ領域 2 5 から構成される。また、この実施例の不揮発性記憶装置は上記の物理ブロック 1 0 に相当する複数の物理ブロックを有し、さらに論理ブロックアドレス 3 2 を物理ブロックアドレス 3 3 に変換するアドレス変換テーブル 3 1 を有する構成である。

【 0 0 1 9 】 図 3 (A) は本実施例の不揮発性記憶装置の物理ブロックのフォーマットを説明する図で、図 3 (B) はこの実施例のアドレス変換テーブルのフォーマットを説明する図である。

【 0 0 2 0 】 この実施例に示す不揮発性半導体記憶装置の制御方法では、図 3 (A) に示すブロック単位で消去が行われる。消去フラグはブロックを消去すべきか否かを示し、論理値 " 0 " が要消去を示す。有効フラグはブロックのデータが有効か否かを示し、論理値 " 0 " が有効を示す。記憶内容 " 1 " は未書き込みの記憶状態である。従って、ブロックが消去された後の記憶状態は、フラグを含めて全て論理値 " 1 " となり、消去フラグは消

去不要、有効フラグは無効データをそれぞれ示す。

【0021】この不揮発性半導体記憶装置のアクセスしようとするブロックは、まず論理ブロックアドレスで指定される。図3 (B) に示すアドレス変換テーブルは、論理ブロックアドレスLB*i*で示される位置に、対応する物理ブロックアドレスPB*i*が記憶されている。論理ブロックアドレスLB*i*で示される位置のアドレス変換テーブルの読み取り出力が物理ブロックアドレスPB*i*となる。このアドレス変換テーブルの内容設定は、電源投入後、本不揮発性半導体記憶装置の全部ブロックの論理ブロックアドレスを読み取り、読み取った論理ブロックアドレスで指定された位置のアドレス変換テーブルに対応する物理ブロックアドレスを書き込む事で行われる。

【0022】次に本発明の第1の実施例の不揮発性半導体記憶装置の制御方法について説明する。図1は本発明の第1の実施例を示すフローチャートである。

【0023】図3 (A) および図1 (B) ならびに図1を同時に参照して説明すると、この実施例の制御方法はステップS1からステップS6の手順で行われる。

【0024】すなわち、ステップS1で、アドレス変換テーブルの論理ブロックアドレスLB*i*で示される位置のアドレス変換テーブルを読み出し、論理ブロックアドレスLB*i*に対応する物理ブロックアドレスPB*i*を求める。ステップS2で、物理ブロックPB*i*内の消去フラグを書き込み、要消去を示す”0”にセットする。ステップS3で、本不揮発性半導体記憶装置内の物理ブロックの消去フラグと有効フラグを順次読み取り、消去フラグと有効フラグが共に”1”の物理ブロックPB*k*を求める。ステップS4で、物理ブロックPB*k*内のデータ部に論理ブロックLB*i*の新たなデータを書き込み、有効フラグを書き込みことで有効を示す”0”にセットし、論理ブロックアドレス部にLB*i*を書き込む。

【0025】さらに、ステップS5でアドレス変換テーブルの論理ブロックアドレスLB*i*で示される位置の内容PB*i*をPB*k*に書き換える。これにより、以後論理ブロックLB*i*をアクセスする場合には、物理ブロックPB*k*がアドレス変換テーブルから読み出される。ステップS6では不揮発性半導体記憶装置がアクセスされていない期間に、消去フラグが要消去を示す”0”にセットされている物理ブロックの消去動作を行う。消去動作中にアクセスがなされたら、消去動作を中断し、そのアクセスを優先して行う。

【0026】以上の説明のとおり、論理ブロックLB*i*の読み取り動作は、論理ブロックアドレスで指定された位置のアドレス変換テーブルの内容を読み出し、物理ブロックアドレスPB*i*を求め、次に求めた物理ブロックアドレスPB*i*で指定されたブロックのデータを読み出すことで容易になされる。

【0027】次に、本発明の第2の実施例の不揮発性半導体記憶装置の制御方法について説明する。

【0028】図4を参照すると、この実施例の制御方法はステップS1からステップS6までは第1の実施例の制御方法と同一なので図4のフローチャートに図示するに止め詳細な説明は省略する。

【0029】次に、ステップS6が終了するとステップS7では本不揮発性半導体記憶装置がアクセスされていない期間に、書換回数が少ない物理ブロックの消去を行う。

【0030】このことにより、特定の物理ブロックに書換えを集中しない制御がより容易に行うことができる。

【0031】

【発明の効果】このように、本発明によれば、論理ブロックのデータを書き換える場合、論理ブロックに対応する物理ブロックを直ちに消去するのではなく、消去フラグと有効フラグが共に”1”である未書き込みの物理ブロックを求め、そのブロックにデータを書き込み、アクセスしていない期間にブロックを消去するため、実行的に低速な消去動作を隠蔽できる。また、同一論理ブロックに書き換えが集中しても、書き込む物理ブロックが書き換え毎に移り変わるため、特定の物理ブロックに書き換えが終了せず、書き換え回数が低減する。さらに、論理ブロックアドレスから物理ブロックアドレスに変換するアドレス変換テーブルを特定の記憶エリアに固定させず、各物理ブロック毎にその論理アドレスを記憶させているため、書き換えに動作に伴うアドレス変換テーブルの修正書き込みが特定の記憶エリアに集中しない。このため、書き換え回数が低減し、高信頼化を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の不揮発性記憶装置の制御方法を説明するフローチャートである。

【図2】本発明の一実施例の不揮発性記憶装置のブロックの構成図である。

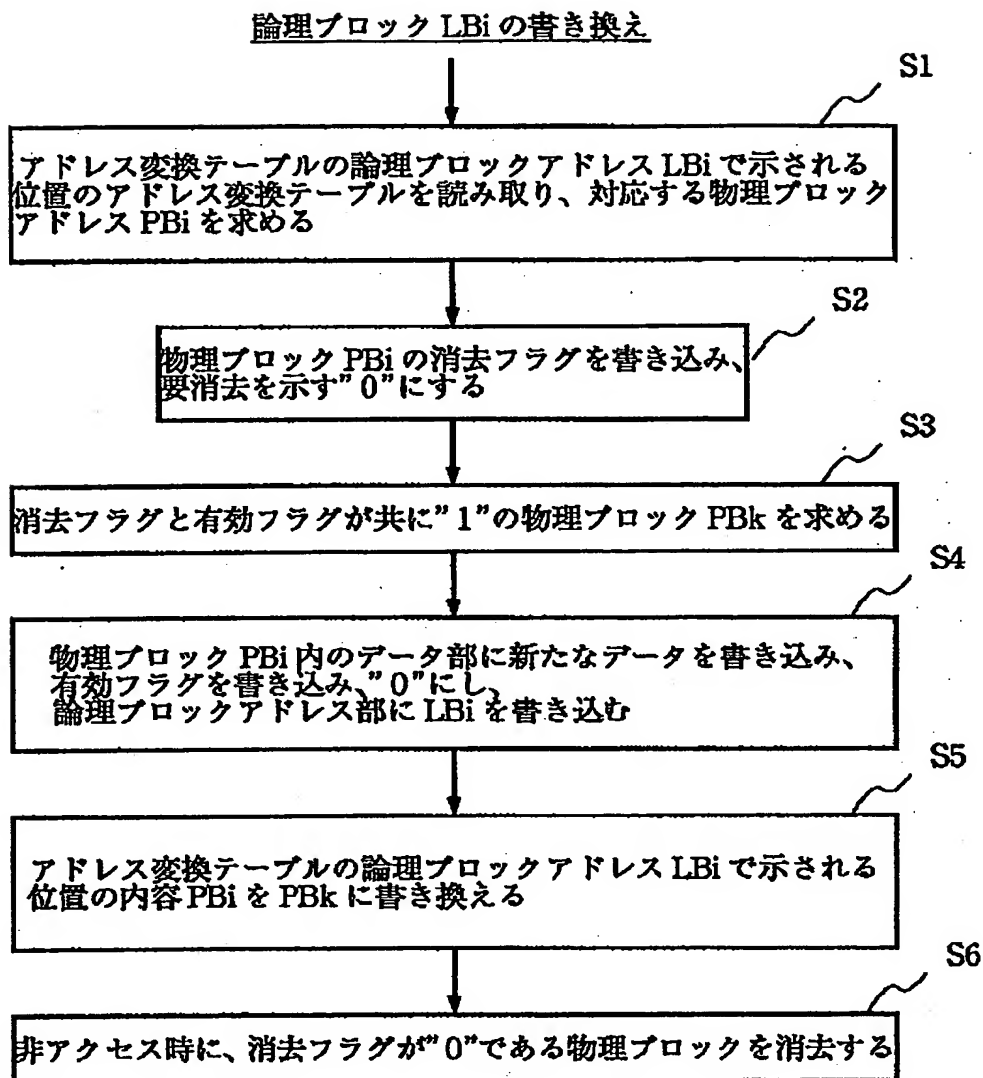
【図3】本発明の一実施例のブロックのフォーマット(A)とアドレス変換テーブル(B)の説明図である。

【図4】本発明の第2の実施例の不揮発性記憶装置の制御方法を説明するフローチャートである。

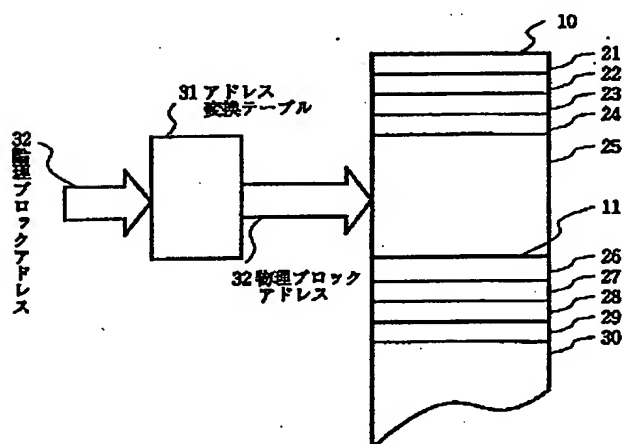
【符号の説明】

10, 11	物理ブロック
21, 26	消去フラグ領域
22, 27	有効フラグ領域
23, 28	論理アドレス領域
24, 29	書換え回数領域
25, 30	データ領域
31	アドレス変換テーブル
32	論理ブロックアドレス
33	物理ブロックアドレス
S1~S7	制御ステップ

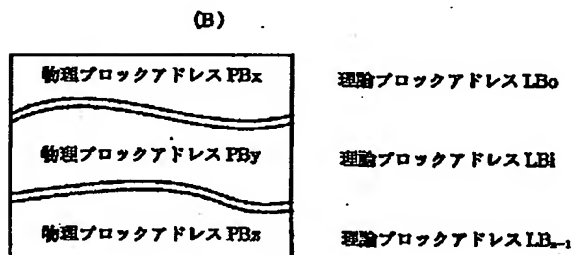
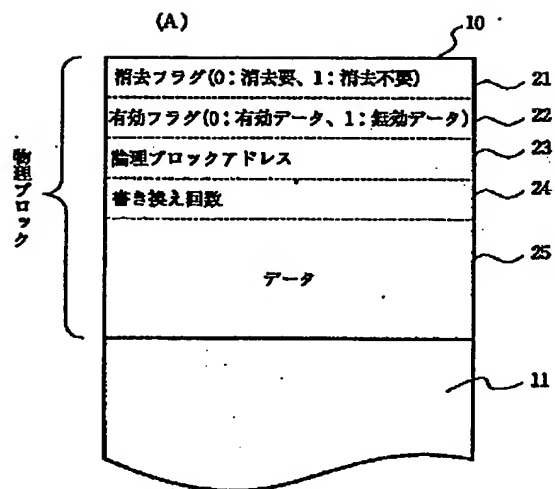
【図1】



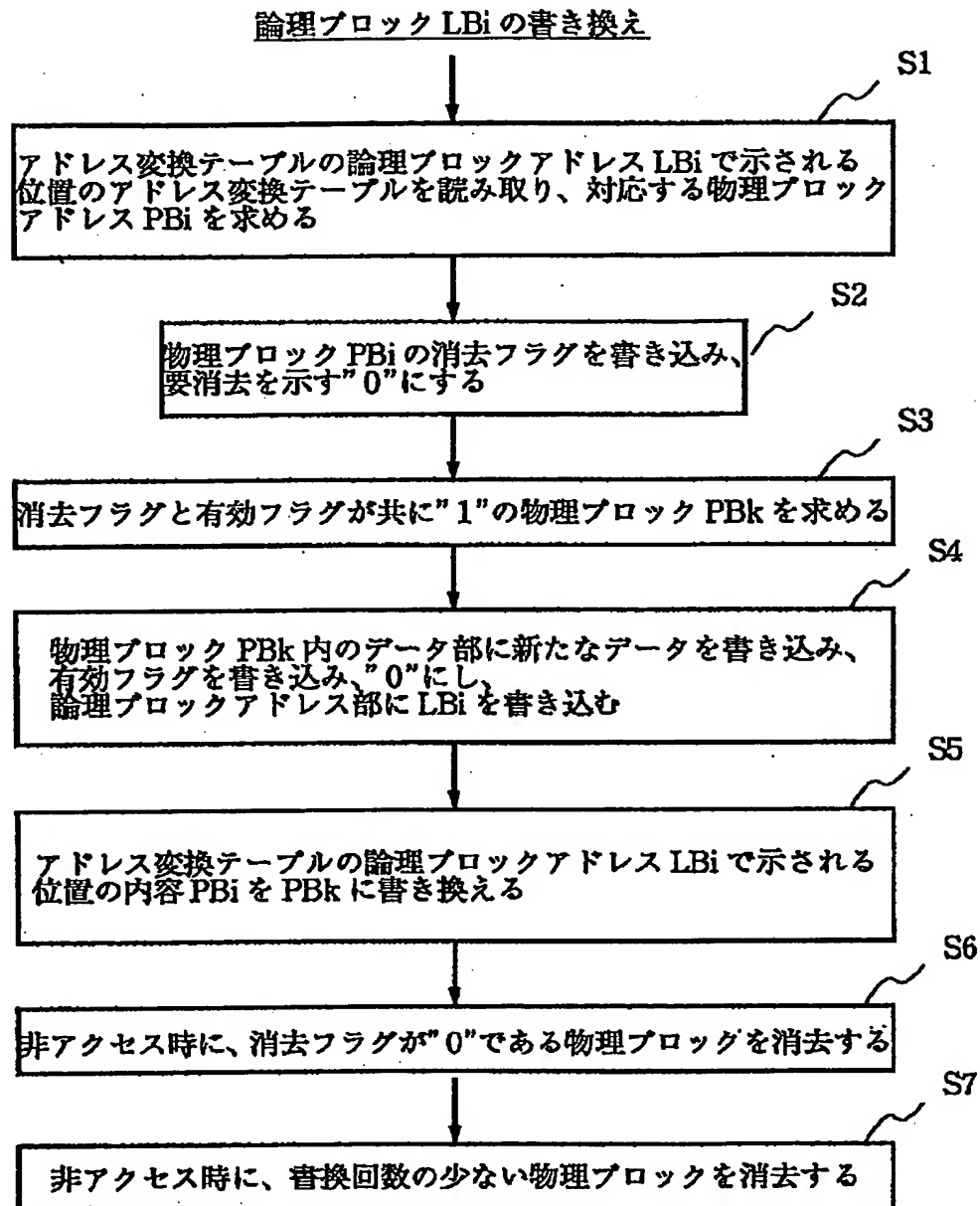
【図2】



【図 3】



【図 4】



THIS PAGE BLANK (USPTO)